

Xilinx XC9536 / VHDL 言語設計

## 50Hz 1s 出力タイム・ベースキット

電子キット製作 レベル： 中・上級  
( PLCC ソケットを使用した製作経験があれば可 )

作成年月日 2000年 8月 1 日 暫定版

### 目 次

1. キット概要
2. 仕 様
3. 部品一覧
4. 開発環境
5. ブロック図 / 参考回路図
6. タイミング概要
7. Pin 配置 (PLCC 44pin ソケット) Bottom View  
( 14pin DIP ソケット )

### APPENDIX

- A-1 : VHDL 階層構造図
- A-2 : toppps.vhd
- A-3 : c256.vhd
- A-4 : c1000.vhd
- B-1 : Fitting Report/ Implementation Report Files

注意 本仕様書は、予告なく変更する場合があります。

注意・確認事項 : 本キットは、製作者自身の自己責任のもとで製作してください。  
各デバイスへの電源接続は、細心の注意を払ってください。  
誤った接続をすると、デバイスが破壊・損傷します。

本CPLDの書き込み不良は、ありません。  
また、同封の配布品を使用しての単体動作は、確認済みです。

配布品は、緩衝封筒等を使用して発送します。  
輸送時の震動等で動作しない場合に限り、輸送料実費で  
配布品を返送ください。  
動作確認後、同等品を出来る限り早急に発送します。

本キット配布依頼にさいしましては、十分検討の上で配布依頼頂ければ幸いです。  
同 Webの「policy/ 配布の方針とお願い」を必ずお読みください。

ご質問等は、E-mail : matsuda@pop01.odn.ne.jp にてお願い致します。  
わかる範囲でお応えいたします。

## 1. キット概要

本キットは、Xilinx XC9536 CPLD を使用し、原発周波数 12.8MHz より、50Hz と 1Hz(1s) を作り出力している。

また、回路はVHDL言語設計となっている。

使用用途としては、時計などの基準クロックなど。

## 2. 仕様

( わかる範囲での仕様 )

	CPLD	超高精度 水晶発振器
	XC9536	KTX0-18S (12.8MHz)
電源電圧 (Vccin)	5V ± 5% (4.75 ~ 5.25V)	
消費電流	50mA 計算値 (44mA) (条件 : MCHP 24, MC 24, 20MHz)	5mA 以下
出力レベル	VOH : 2.4 V (min) IOH : -4.0mA  VOL : 0.5 V (max) IOL : 24mA  条件 : 電源電圧 : 5V	1Vp-p以上 クリップドサインウェーブ DC-CUT
精度	_____	± 1ppm/年
参考資料	j_9536_2_0.pdf (PDF形式)	秋月電子通商 (株) 12.8MHz TCX0-18S 資料

## 2. 部品一覧

本キットに : 含む × : 含まない

名称	数量	形式および概要説明	部品有無
CPLD	1	XC9536 ( Xilinx 社製 ) ( 同機能書込済み )	
超高精度 水晶発振器	1	KTX0-18S	
基板	1	小型片面じゃのめ基板 ( 46x71mm )	×
PLCC 44pin ソケット	1	ソケット  丸pin	
DIP 14pin ソケット	1		
抵抗	3	10K 1/4W など	×
セラミック・コンデンサー	5	0.1 $\mu$ F 104	×
タンタル・コンデンサー	1	耐圧 6V 以上 大容量が望ましい	×
フロッピー・ディスク (1.44M /2HD)	1	詳細は以下の通り	×

フロッピー・ディスクの代替について

Web sit より down-load してください。( Zip 形式 )

同 KIT 発送しました mail に down-load 先をお知らせ致します。

フロッピー・ディスク (1.44M /2HD 内 容 注意 : 内容は予告なく変更する場合があります。)	
本ドキュメント(PDF 形式)	PDF 形式 docpps.pdf
VHDL source	テキスト形式
	CPLD 生成過程 file : pps36.bld.txt: pps36.rpt.txt : pps36.tim.txt  JTAG-file : pps36.jed maping file: pps36.cdf device : j_9536_2_0.pdf (PDF形式) ( Xilinx web site より 最新のもの入手ください。 )

## 3. 開発環境

XILINX FOUNDATION ver 1.5 ( DS-FND-BSX-PC-J ) を使用。

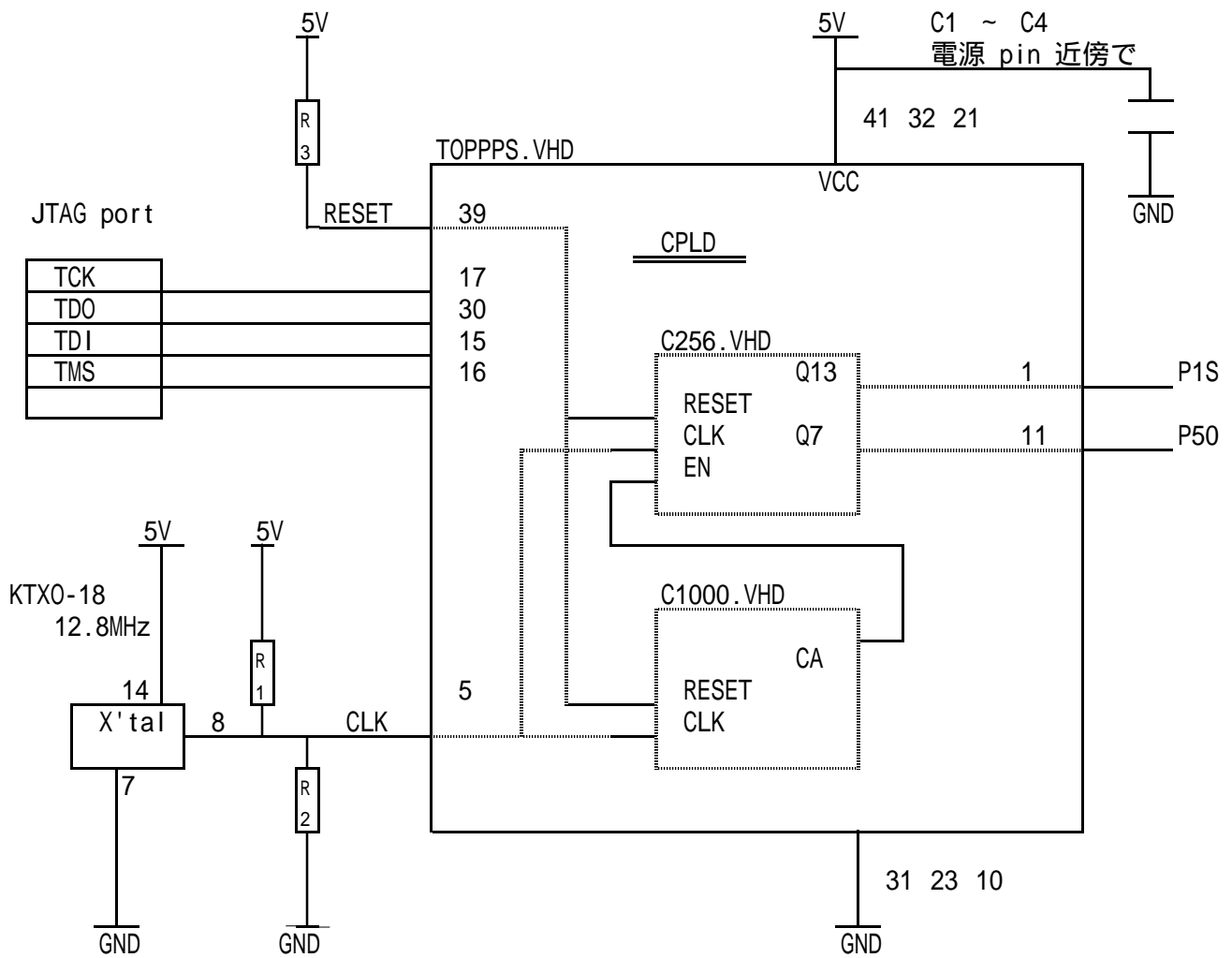
開発環境、手順等の詳細は、Xilinx のWeb-site などを参照下さい。

同配布 KITを使用しなくても、同添付 sorce にて同機能が実現できます。

### 3. 1 開発環境 -1

雑誌付録の開発 tools を使用して同機能をCPLDで実現出来るかもしれません。  
トライしてみてください。

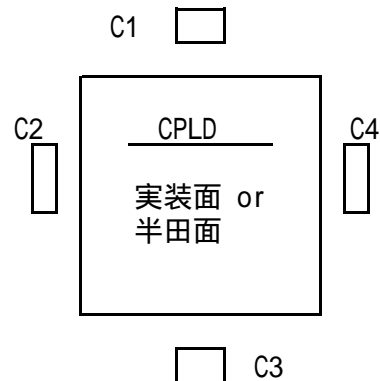
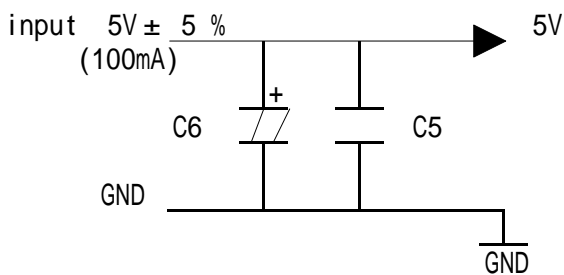
4 ブロック図  
参考回路図



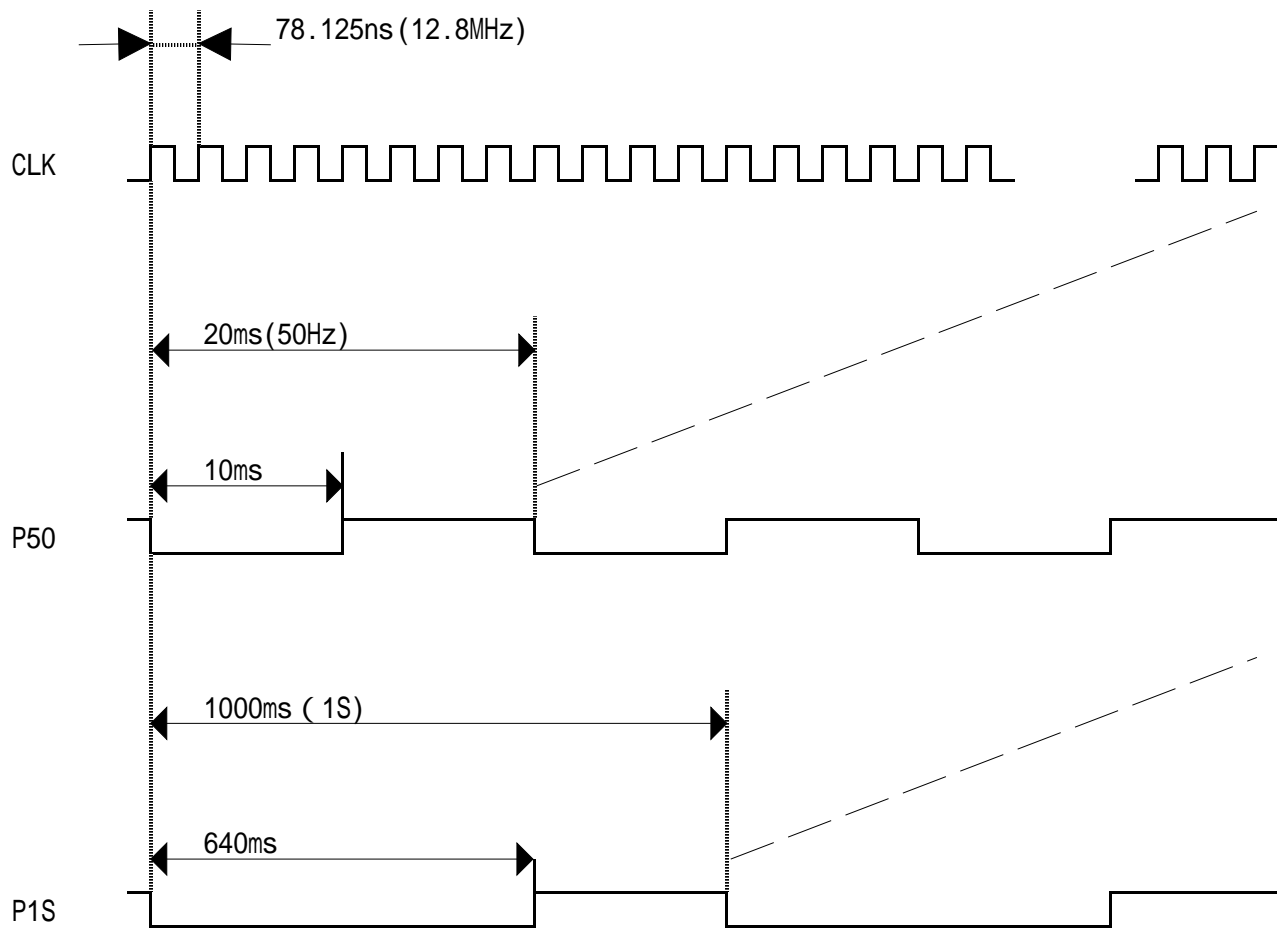
R1 ~ R3 : 10K  
 X'tal : KTXO-18 ( 12.8MHz )  
 CPLD : XC9536

C1 ~ C4 : 0.1  $\mu$ F (104)  
 C5 : 0.1  $\mu$ F (104)  
 C6 :

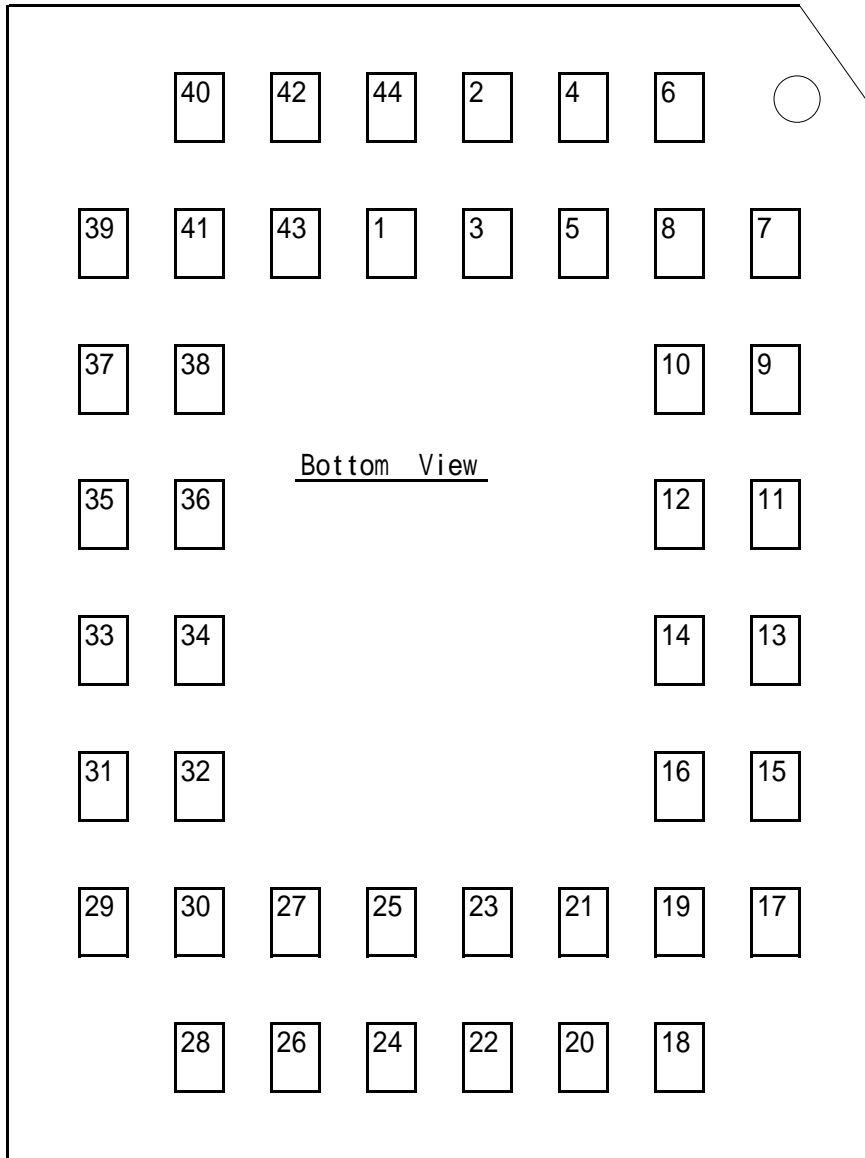
C1 ~ C4 取付け位置について



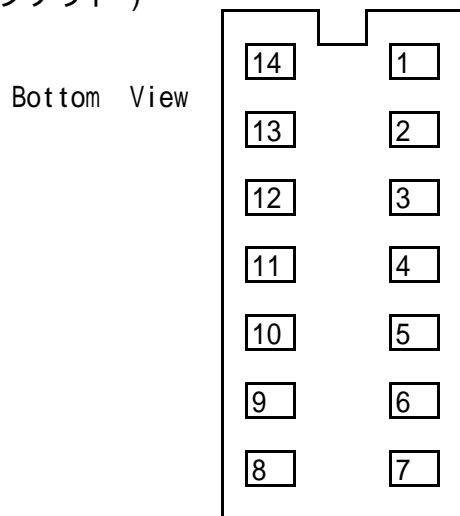
## 5 タイミング概要



6 Pin 配置 (PLCC 44pin ソケット) Bottom View  
( 14pin DIP ソケット )



( 14pin DIP ソケット )



## APPENDIX ( 付録 )

A-1 : VHDL 階層構造図

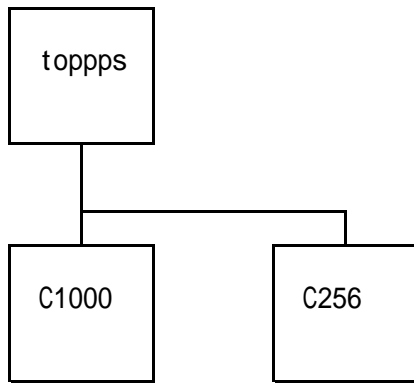
A-2 : toppps.vhd

A-3 : c256.vhd

A-4 : c1000.vhd

B-1 : Fitting Repor/ Implementation Report Files

## A-1 VHDL 階層構造図



## A-2 toppps.vhd

```
--  
library ieee;  
use ieee.std_logic_1164.all ;  
--  
entity toppps is  
    port (  
        CLK : in std_logic ;  
        RESET : in std_logic ;  
        P50 : out std_logic ;  
        P1S : out std_logic  
    );  
end toppps ;  
--  
architecture RTL of toppps is  
    --  
    component c256  
        port (  
            CLK : in std_logic ;  
            RESET : in std_logic ;  
            ENE : in std_logic ;  
            P50 : out std_logic ;  
            P1S : out std_logic  
        );  
    end component ;  
    --  
    component c1000  
        port (  
            CLK : in std_logic ;  
            RESET : in std_logic ;  
            CA : out std_logic  
        );  
    end component ;  
    --  
    signal CA_s : std_logic ;  
begin  
    --  
    U0 : c1000 port map(CLK, RESET, CA_s);  
    U1 : c256 port map(CLK, RESET, CA_s, P50, P1S);  
end RTL ;
```



## A-3 c256.vhd

```
--
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
--
entity c256 is
    port (
        CLK      : in std_logic ;
        RESET    : in std_logic ;
        ENE      : in std_logic ;
        P50      : out std_logic ;
        P1S      : out std_logic
    );
end c256 ;
--
architecture RTL of c256 is
    signal Q128_s : integer range 0 to 12800 ;
    signal C128_s : std_logic_vector(13 downto 0) ;
--
begin
--
--
--
    C128_s <= CONV_STD_LOGIC_VECTOR(Q128_s, 14) ;
    P50 <= not C128_s(7) ;
    P1S <= not C128_s(13) ;
--
    C128_p : process(RESET, CLK) begin
        if(RESET = '0') then
            Q128_s <= 0;
        elsif (CLK'event and CLK = '1') then
            if (ENE = '1') then
                if(Q128_s = 12799) then --1280
                    Q128_s <= 0 ;
                else
                    Q128_s <= Q128_s + 1 ;
                end if;
            end if;
        end if;
    end process C128_p;
--
end RTL ;
```

## A-4 c1000.vhd

```
--
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
--
entity c1000 is
    port (
        CLK    : in std_logic ;
        RESET  : in std_logic ;
        CA     : out std_logic
    );
end c1000 ;
--
architecture RTL of c1000 is
    signal Q_s : integer range 0 to 1000 ;
    --
begin
    P_COUNT : process(RESET, CLK) begin
        if(RESET = '0') then
            Q_s <= 0;
        elsif (CLK'event and CLK = '1') then
            if(Q_s = 999) then -- 999
                Q_s <= 0 ;
            else
                Q_s <= Q_s + 1 ;
            end if;
        end if;
    end process P_COUNT;
    --
    CA_p : process(CLK) begin
        if(Q_s = 999) then -- 999
            CA <= '1' ;
        else
            CA <= '0' ;
        end if;
    end process CA_p;
end RTL ;
```

B-1 Fitting Report/ Implementation Report Files

XACT: version M1.5.25

Xilinx Inc.

Fitter Report

Design Name: pps36

Fitting Status: Successful

Date: 7-27-2000, 10:34PM

\*\*\*\*\* Resource Summary \*\*\*\*\*

Design Name	Device Used	Macrocells Used	Product Terms Used	Pins Used
pps36	XC9536-5-PC44	24 /36 ( 66%)	38 /180 ( 21%)	4 /34 ( 11%)

PIN RESOURCES:

Signal Type	Required	Mapped	Pin Type	Used	Remaining
Input	: 0	0	I/O	: 2	26
Output	: 0	0	GCK/IO	: 1	2
Bidirectional	: 2	2	GTS/IO	: 0	2
GCK	: 1	1	GSR/IO	: 1	0
GTS	: 0	0			
GSR	: 1	1			
<b>Total</b>	<b>4</b>	<b>4</b>			

GLOBAL RESOURCES:

Signal 'CLK' mapped onto global clock net GCK1.  
 Global output enable net(s) unused.  
 The complement of 'RESET' mapped onto global set/reset net GSR1.

POWER DATA:

There are 24 macrocells in high performance mode (MCHP).  
 There are 0 macrocells in low power mode (MCLP).  
 There are a total of 24 macrocells used (MC).

End of Resource Summary





\*\*\*\*\* Device Pin Out \*\*\*\*\*

Device : XC9536-5-PC44

	P	P	P	P		P	P	P		P			
	G	C	G	G	G	P	G	G	G	V	G		
	N	L	N	N	N	1	N	N	N	C	N		
	D	K	D	D	D	S	D	D	D	C	D		
-----													
	/6	5	4	3	2	1	44	43	42	41	40	¥	
PGND	7										39	RESET	
PGND	8										38	PGND	
PGND	9										37	PGND	
GND	10										36	PGND	
P50	11					XC9536-5-PC44					35	PGND	
PGND	12										34	PGND	
PGND	13										33	PGND	
PGND	14										32	VCC	
TDI	15										31	GND	
TMS	16										30	TDO	
TCK	17										29	PGND	
	¥	18	19	20	21	22	23	24	25	26	27	28	/
-----													
	P	P	P	V	P	G	P	P	P	P	P		
	G	G	G	C	G	N	G	G	G	G	G		
	N	N	N	C	N	D	N	N	N	N	N		
	D	D	D		D		D	D	D	D	D		

- Legend :
- PGND = Tie pin to GND for additional ground path or leave unconnected
  - VCC = Dedicated Power Pin
  - GND = Dedicated Ground Pin
  - TDI = Test Data In, JTAG pin
  - TDO = Test Data Out, JTAG pin
  - TCK = Test Clock, JTAG pin
  - TMS = Test Mode Select, JTAG pin
  - PROHIBITED = User reserved pin

\*\*\*\*\* Compiler Options \*\*\*\*\*

Following is a list of all global compiler options used by the fitter run.

Device(s) Specified	: XC9536-5-PC44
Use Timing Constraints	: ON
Ignore Assignments In Design File	: OFF
Create Programmable Ground Pins	: ON
Use Advanced Fitting	: ON
Use Local Feedback	: ON
Use Pin Feedback	: ON
Default Power Setting	: STD
Default Output Slew Rate	: FAST
Guide File Used	: NONE
Multi Level Logic Optimization	: ON
Timing Optimization	: ON
Power/Slew Optimization	: OFF
High Fitting Effort	: ON
Automatic Wire-ANDing	: ON
Xor Synthesis	: ON
D/T Synthesis	: ON
Use Boolean Minimization	: ON
Use Global Nets	: ON
Collapsing pterm limit	: 20
Collapsing input limit	: 36